

<p>92-115605/15 L03 U11 SIEL 28.09.90 SIEMENS AG *DE 4129-647-A 28.09.90-EP-118720 (02.04.92) H011-23/48 Stable multiple layer metallisation contacts for cpd. semiconductors - consist of contact metal, barrier of titanium tungsten-nitride and wire-bond metal and can be easily processed C92-053846</p>	<p>L(3-G2, 4-A2, 4-C11D)</p>
<p>The metallisation contact, for making wire-bonds to the semi-conductor device, consists of metal (2), metal (4) and a barrier (5) between them of Ti-W-nitride (TiWN). The metal layer (4) is pref. Al, an Al-alloy or pure Au. All 3 layers are pref. deposited in a single process step. An adhesion promoter layer (6) can be deposited between the barrier and the second metal layer.</p> <p><b>USE/ADVANTAGES</b> The metallisation system is used in the mfr. of III-V semiconductor devices, especially opto-electronic devices and allows reliable operation even at temps. above 100°C. The TiWN layer, which acts as a diffusion barrier, can be easily made thick enough to compensate for roughness of the first metal layer. The layer does not change its compsn. during subsequent heat-treatments at temps. up to 550°C.</p>	<p>for 1 hour. The barrier can be easily etched in a wetting step. It can be deposited in a vacuum depositions step in sequence with the other layers, avoiding the substrate being exposed to the ambient and so avoiding contamination depositions and reaction in ambient air. The resistance of the layer can be adjusted by the N-content.</p> <p><b>EXAMPLE</b> Using a GaP substrate a first metal layer of 600 nm AuZn was used. A barrier of 400 nm thick TiWN was deposited by sputtering of Ti and W in a 5-20% N<sub>2</sub> concentration using a target of 10% Ti and 90% W. The final layer is a 1.5 micron thick Al layer. The TiWN layer could be etched using H<sub>2</sub>O<sub>2</sub>-NH<sub>4</sub>OH or plasma etching in CF<sub>4</sub> and O<sub>2</sub>. (5pp1698HPDwgNo1/3).</p> <div data-bbox="1023 903 1331 1071"> </div>

© 1992 DERWENT PUBLICATIONS LTD.

128, Theobalds Road, London WC1X 8RP, England

US Office: Derwent Inc., 1313 Dolley Madison Boulevard,

Suite 401 McLean, VA22101, USA

Unauthorised copying of this abstract not permitted.

X

**THIS PAGE BLANK (USPTO)**



BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 41 29 647 A 1**

⑤ Int. Cl. 5:  
**H 01 L 23/482**

⑳ Aktenzeichen: P 41 29 647.8  
㉑ Anmeldetag: 6. 9. 91  
㉒ Offenlegungstag: 2. 4. 92

DE 41 29 647 A 1

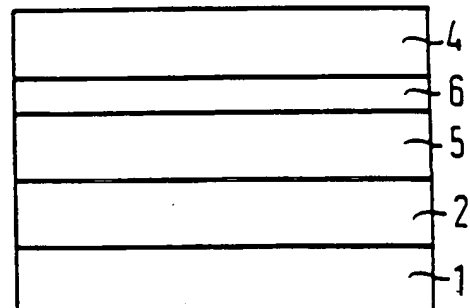
Unionspriorität: ㉓ ㉔ ㉕  
28.09.90 EP 90 11 8720.3

Anmelder:  
Siemens AG, 8000 München, DE

㉖ Erfinder:  
Nirschl, Ernst, Dr., 8411 Wenzelbach, DE; Lang,  
Gisela; Weispfenning, Ingrid, 8400 Regensburg, DE

**Metallisierung zum Drahtbonden für einen Halbleiter**

Eine Metallisierung zum Drahtbonden für einen Halbleiter (1), bei der auf eine Halbleiteroberfläche ein erstes Metall (2), eine Sperre und ein zweites Metall (4) aufgebracht sind, soll ein wirtschaftliches Herstellverfahren, einen kleinen elektrischen Widerstand, ein einfaches Strukturverfahren und Stabilität während der Weiterverarbeitung und während des Betriebs des Halbleiterbauelements ermöglichen. Die Sperre (5) zwischen dem ersten Metall (2) und dem zweiten Metall (4) besteht aus Titan-Wolfram-Nitrid (TiWN).



Die Erfindung betrifft eine Metallisierung zum Drahtbonden für einen Halbleiter nach dem Oberbegriff des Patentanspruchs 1.

In der Halbleitertechnik, insbesondere bei den III-V-Halbleitern, die hier als Beispiele herangezogen werden, sind neben Einfachmetallisierungen häufig Metallisierungsfolgen notwendig, um Anschlüsse für den elektrischen Kontakt zu bekommen.

Fig. 2 zeigt einen typischen Aufbau für eine Metallisierungsfolge. Auf einem Halbleiter 1 befindet sich ein erstes Metall 2. Auf dem ersten Metall 2 ist eine Sperre 3 vorgesehen. Auf der Sperre 3 ist ein zweites Metall 4 angeordnet. Aufgabe der Sperre 3 ist es, das erste Metall 2 und das zweite Metall 4 sicher auseinander zu halten. Anderenfalls ergeben sich aus dem direkten Verbund von erstem Metall 2 und zweitem Metall 4 negative Eigenschaften für die ursprünglich gedachte Wirkung der beiden Einzelmetalle 2, 4.

Wenn die Metallisierungsfolge zum Drahtbonden (wire bond) vorgesehen ist, ist typischerweise das erste Metall 2 eine AuZn-Verbindung zur p-Dotierung des Halbleiters 1 oder eine AuGe-Verbindung zur n-Dotierung des Halbleiters 1 und das zweite Metall 4 ist Al bzw. eine Al-Legierung oder Reinst-Au zum Wire-Bonden.

Eine typische nicht gewünschte negative Eigenschaft des direkten Verbunds dieser Metalle beim Drahtbonden ist eine bestimmte AlAu-Verbindung, die sogenannte "Purpurpest", die bei höheren Temperaturen entsteht und die die Kontakteigenschaften der Metallisierungsfolge drastisch verschlechtert.

Bekannte Metallisierungen ohne Sperre weisen einen typischen Aufbau nach Fig. 3 auf. Auf einem Halbleiter 1 befindet sich dabei ein erstes Metall 2. Auf dem ersten Metall 2 ist ein zweites Metall 4 aufgebracht. Die Metallisierungen 2, 4 werden dabei in zwei Schritten aufgebracht: Beim ersten Schritt wird das erste Metall 2 aufgebracht, wird das erste Metall 2 mittels Fotolithographie und Ätzen des ersten Metalls 2 strukturiert, wird anschließend zur Erzielung einer besseren Haftung des ersten Metalls 2 auf dem Halbleiter 1 und zum Erreichen der gewünschten elektrischen Eigenschaft des Kontakts, z. B. des ohmschen Verhalten des Kontakts getempert. Beim zweiten Schritt wird das zweite Metall 4 aufgebracht und strukturiert. Dieser bekannte Metallisierungsaufbau nach Fig. 3 muß mit hohem Aufwand hergestellt werden. Auch stellt diese Metallisierung nach Fig. 3 ohne Sperre sowohl ein Risiko bei der Weiterverarbeitung (Interdiffusion bei höheren Temperaturen, als Folge davon Bondprobleme) als auch ein Zuverlässigkeitsrisiko während des Betriebs dar ("Purpurpest" im Falle von AuAl-Verbindungen, mit der Folge von mechanischen Instabilitäten und eines Anstiegs des elektrischen Widerstands des Kontakts).

Ein anderer bekannter Metallisierungsaufbau mit Opfersperre oder passiver Sperre kann anhand von Fig. 2 beschrieben werden. Wie bei einem Metallisierungsaufbau nach Fig. 3 werden auch dabei die Metallisierungen in zwei Schritten aufgebracht: Beim ersten Schritt wird wie bei einem Metallisierungsaufbau nach Fig. 3 vorgegangen. Beim zweiten Schritt wird eine Sperre 3 aufgebracht, beispielsweise Titan als Opfersperre oder Nickel bzw. Platin als passive Sperre, sodann wird noch beim zweiten Schritt das zweite Metall 4 auf die Sperre 3 aufgebracht und werden die Sperre 3 gemeinsam mit dem zweiten Metall 4 strukturiert.

Dieser Metallisierungsaufbau mit Opfersperre oder passiver Sperre erfordert einen noch höheren Aufwand als ein Metallisierungsaufbau nach Fig. 3. Sehr schwierig ist bei einem solchen Metallisierungsaufbau mit Opfersperre oder passiver Sperre vor allem beim Strukturieren das Ätzen des Nickel bzw. des Platin. Das nachfolgende Ätzen des Titan und des Nickel ist aufwendig und beeinträchtigt die Maßhaltigkeit. Platin kann anschließend sputtergeätzt werden.

Im Falle der Opfersperre gibt es zwar eine gewisse Resistenz gegenüber einer Interdiffusion des ersten Metalls 2 und des zweiten Metalls 4, jedoch besteht immer noch ein Risiko bei der Weiterverarbeitung des Halbleiterbauelements und während des Betriebs des Halbleiterbauelements, wenn sich die Sperre 3 aufgrund der Temperatureinwirkung auf das Halbleiterbauelement über längere Zeit zu schnell verbraucht.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, eine Metallisierung der eingangs genannten Art anzugeben, die insbesondere in Hinblick auf die Sperrleistung ein wirtschaftliches Herstellungsverfahren, einen kleinen elektrischen Widerstand, ein einfaches Strukturierverfahren und Stabilität während der Weiterverarbeitung und während des Betriebs des Halbleiterbauelements vor allem bei höheren Temperaturen und elektrischen Strömen, je nach Anwendungsfall unterschiedlich wichtig, jeweils in optimaler Weise ermöglicht.

Die unterschiedlichen Teilaufgaben können technisch in verschiedener Art und Weise erfüllt werden:

Ein wirtschaftliches Herstellungsverfahren kann durch Aufdampfen, Sputtern, Galvanik erzielt werden.

Ein kleiner elektrischer Widerstand kann durch Verwendung von Metallen, Metallverbindungen, Legierungen, Nitride, Carbide erreicht werden.

Ein einfaches Strukturierverfahren kann durch Fotolithographie und anschließendes Entfernen der nicht benötigten Teile der Schicht durch Naßchemie, Plasmaätzen, durch Sputterätzen oder durch Abhebertechnik erreicht werden.

Stabilität während der Weiterverarbeitung und während des Betriebs des Halbleiterbauelements vor allem bei höheren Temperaturen und elektrischen Strömen kann durch passive Sperren (passive barrier), Opfersperren (sacrificial barrier), Verfüllungssperren (stuffed barrier) erzielt werden.

Erfindungsgemäß wird die zugrundeliegende Aufgabe durch eine Metallisierung nach dem Patentanspruch 1 gelöst.

Ausgestaltungen und Vorteile der Erfindung sind den Unteransprüchen und in der Beschreibung angegeben.

Erfindungsgemäß wird eine Verfüllungssperre Titan-Wolfram-Nitrid (TiWN) eingeführt.

Die Erfindung wird anhand der Zeichnung näher erläutert.

Fig. 1 zeigt schematisch eine erfindungsgemäße Metallisierung.

Fig. 2 und 3 erläutern den typischen Aufbau von bekannten Metallisierungsfolgen.

Bei Fig. 1 ist auf einem Halbleiterkörper 1 ein erstes Metall 2 aufgebracht. Auf dem ersten Metall 2 ist eine Sperre 5 aus Titan-Wolfram-Nitrid vorgesehen. Auf der Sperre 5 ist ein zweites Metall 4 aufgebracht. Wenn der Halbleiter 1 ein optisches Halbleiterbauelement repräsentiert, werden durch das erste Metall 2 auch optische Eigenschaften dieses optischen Halbleiterbauelements beeinflusst. Die Sperre 5 bildet eine Festkörperlängssperre zwischen dem ersten Metall 2 und dem

weiten Metall 4. Das zweite Metall 4 ist ausgewählt in Hinblick auf die Kontaktierung des Halbleiterbauelements, z. B. in Hinblick auf das Drahtbonden. Die Sperre verhindert die Beeinflussung der optischen Eigenschaften des Systems, welches aus dem Halbleiter 1 und dem ersten Metall 2 besteht, durch das zweite Metall 4. Besonders vorteilhaft ist es, wenn auf den Halbleiter 1 mehrere Schichten der Metallisierung im wesentlichen nur einem einzigen Schritt aufgebracht werden. Dann werden zuerst das erste Metall 2, die Sperre 5 und das zweite Metall 4 übereinander auf den Halbleiter 1 schichtweise durch Sputtern aufgebracht. Sodann wird die gesamte Schichtfolge der Metallisierung, bestehend aus dem ersten Metall 2, der Sperre 5 und dem zweiten Metall 4 strukturiert. Die Strukturierung kann durch Lithographie und anschließendes Entfernen der nicht benötigten Teile der Schichtfolge mit üblichen chemischen Ätzmitteln erfolgen. Sodann wird der Halbleiter 1 zusammen mit der gesamten Schichtfolge bestehend aus erstem Metall 2, Sperre 5 und zweitem Metall 4 getempert durch Temperaturbehandlung. Die Temperaturbehandlung kann bei Temperaturen zwischen 400–550°C erfolgen. Die Temperaturbehandlung kann sich je nach Anforderung über einen Zeitbereich zwischen einer Minute und 30 Minuten erstrecken. Die Metallisierungsfolge kann auf den Halbleiter 1 in zwei oder in drei Schritten aufgebracht werden. Im Aufbringen der Metallisierungsfolge auf den Halbleiter 1 in zwei Schritten wird vorteilhaft das erste Metall 2 auf den Halbleiter 1 aufgebracht. Sodann werden die Sperre 5 und das zweite Metall 4 in einem Schritt aufgebracht, strukturiert und getempert. Beim Aufbringen der Metallisierungsfolge auf den Halbleiter 1 in drei Schritten ist es vorteilhaft, zwischen der Sperre und das zweite Metall 4 einen Haftvermittler 6 anzubringen. Als Haftvermittler kann Titan dienen. Eine Strukturierung der Metallisierungsschichten 2, 4, 5, 6 ist nach dem Aufbringen jeder einzelnen Metallisierungsschicht möglich und kann vorteilhaft sein, z. B. zur Erzielung selektiver Ätzschritte.

Beim Aufbringen von zwei Schichten übereinander ist im wesentlichen in einem Schritt die Grenzfläche (Interface) zwischen diesen beiden Schichten sauber und wohl definiert. Beim Aufbringen von zwei Schichten in einem Schritt gibt es auch keine Haftungsprobleme zwischen diesen beiden Schichten. Besonders vorteilhaft ist daher das Aufbringen der Schichten 2, 3, 4 auf den Halbleiter 1 im wesentlichen in nur einem Schritt.

Die Sperre 5 aus Titan-Wolfram-Nitrid dient als Festkörper-Diffusionsperre zwischen einem ersten Metall und einem zweiten Metall 4. Eine Metallisierungsfolge nach Fig. 1 ist temperaturstabil und ermöglicht damit vereinfachtes Weiterverarbeiten des Halbleiterbauelements. Insbesondere muß daher beim Kontaktieren des Halbleiterbauelements, beispielsweise beim Drahtbonden, nicht besonders auf die verwendete Temperatur geachtet werden.

Eine Metallisierung nach Fig. 1 ermöglicht einen gegen Aufwand beim Aufbringen der gesamten Metallisierung auf den Halbleiter 1. Bei entsprechender Ausgestaltung der verwendeten Vorrichtung zur Herstellung der Metallisierung nach Fig. 1 können alle Metallisierungsschichten in einer einzigen Anlage, vorzugsweise in einer einzigen Sputteranlage, aufgebracht werden.

Eine Metallisierung nach Fig. 1 ist von hoher Qualität, die Halbleiterscheiben während des Herstellungsprozesses der Metallisierung nicht aus dem Vakuum der verwendeten Anlage zur Herstellung der Metallisierung

herauskommen, können keine Kontaminationen aus der Luft auftreten, was die Bildung schädlicher Interface-Schichten zwischen den einzelnen Metallschichten verhindert. Weiterhin lassen sich die Eigenschaften der Sperre 5 durch Änderung der Zusammensetzung und Dicke des Titan-Wolfram-Nitrids einstellen. Z. B. läßt sich der elektrische Widerstand durch den Stickstoffgehalt des Titan-Wolfram-Nitrids einstellen. Z. B. läßt sich die sichere Absperrung einer etwas rauheren Oberfläche eines Metalls durch Erhöhung der Dicke der Sperre 5 einstellen.

Bewährt haben sich Prozesse zur Herstellung der Metallisierung mit Sputtertargets mit Zusammensetzungen von 10% Titan und 90% Wolfram bei einer Stickstoffzugabe von 5–20% im Argon-Sputtergas bei niedergeschlagenen Schichtdicken von 0,1–1 µm.

Die Sperre 5 aus Titan-Wolfram-Nitrid kann mit hoher Maßhaltigkeit einfach strukturiert werden durch naßchemisches Ätzen mit H<sub>2</sub>O<sub>2</sub>/NH<sub>4</sub>OH-Lösungen oder durch Plasmaätzen im CF<sub>4</sub>/O<sub>2</sub>-Gas.

Bei der Weiterverarbeitung des Halbleiterbauelements, zu dem der Halbleiter 1 gehört, besteht kein Risiko durch höhere Temperaturen, da die Titan-Wolfram-Nitrid-Schicht sich bei Temperaturen von selbst 550°C über eine Stunde hinweg nicht verändert und da solche Temperaturbelastungen bei den nachfolgenden Schritten der Bauelementenherstellung wie alle Arten von Die-Bonden (Kleben, Löten, Legieren) oder Wire-Bonden und Umhüllungsprozessen nicht auftreten.

Die hohe Temperaturbeständigkeit einer Metallisierung nach Fig. 1 erlaubt auch einen risikolosen Betrieb bei Temperaturen über dem üblicherweise limitierten Temperaturwert von 100°C und bewahrt die zu trennenden Metalle 2, 4 auch über längere Zeit hinweg vor der Interdiffusion mit ihren unerwünschten Auswirkungen, wie der oben erwähnten "Purpurpest" bei der Al-Au-Verbindung.

In Fig. 1 kann zwischen der Sperre 5 und dem zweiten Metall 4 ein Haftvermittler 6 vorgesehen sein. Dieser Haftvermittler 6 kann aus Titan bestehen. Der Haftvermittler 6 kann zusammen mit den übrigen Schichten der Metallisierung nach Fig. 1 im wesentlichen in nur einem Schritt aufgebracht werden.

Für Bauelemente mit einem Substrat aus Galliumphosphid und einer Epitaxieschicht aus Galliumarsenidphosphid können für die Vorderseiten-Metallisierungen folgende Ausführungsbeispiele verwendet werden: Als erstes Metall 2 kann Gold-Zink mit einer Dicke von 600 nm aufgebracht werden. Als Sperre 5 kann Titan-Wolfram-Nitrid mit einer Dicke von 200 nm verwendet werden. Als zweites Metall 4 kann Aluminium mit einer Dicke von 1,5 µm aufgebracht werden.

Bei Bauelementen mit einem Substrat aus Galliumphosphid und einer Epitaxieschicht aus Galliumphosphid kann als erstes Metall 2 eine Schicht aus Gold-Zink mit einer Dicke von 600 nm verwendet werden. Als Sperre 5 kann eine Schicht aus Titan-Wolfram-Nitrid mit einer Dicke von 400 nm vorgesehen werden. Als zweites Metall 4 kann eine Schicht aus Aluminium mit einer Dicke von 1,5 µm aufgebracht werden.

Die Erfindung eignet sich für Halbleiterchips, vor allem für III-V-Halbleiter, insbesondere für Halbleiterchips der Optoelektronik, beispielsweise für LED's. Die Erfindung eignet sich besonders für Vorderseitenkontakte.

## Patentansprüche

1. Metallisierung zum Drahtbonden für einen Halbleiter (1), bei der auf eine Halbleiteroberfläche ein erstes Metall (2), eine Sperre und ein zweites Metall (4) aufgebracht sind, dadurch gekennzeichnet, daß die Sperre (5) zwischen dem ersten Metall (2) und dem zweiten Metall (4) aus Titan-Wolfram-Nitrid (TiWN) besteht.
2. Metallisierung nach Anspruch 1, gekennzeichnet durch Aluminium oder eine Aluminium-Legierung oder Reinst-Gold als zweites Metall (4).
3. Verfahren zur Herstellung einer Metallisierung nach Anspruch 1 oder 2, gekennzeichnet durch Aufbringen der Sperre (5) und des zweiten Metalls (4) im wesentlichen in einem Schritt.
4. Verfahren nach Anspruch 3, gekennzeichnet durch Aufbringen des ersten Metalls (2), der Sperre (5) und des zweiten Metalls (4) im wesentlichen in einem Schritt.
5. Verfahren zur Herstellung einer Metallisierung nach Anspruch 1 oder 2, gekennzeichnet durch Aufbringen eines Haftvermittlers (6) zwischen Sperre (5) und zweitem Metall (4).

Hierzu 1 Seite(n) Zeichnungen

FIG 1

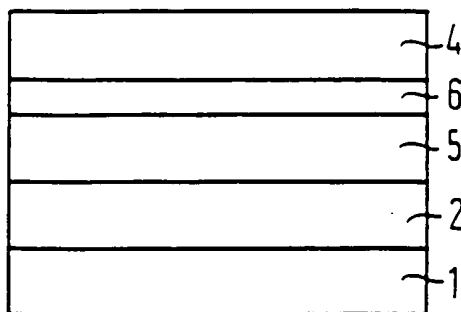


FIG 2

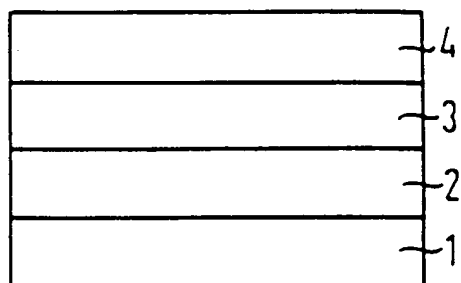
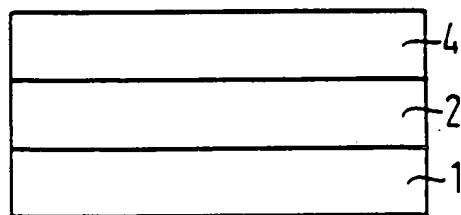


FIG 3



- Leerseite -



745

JP 359066166 A  
APR 1984

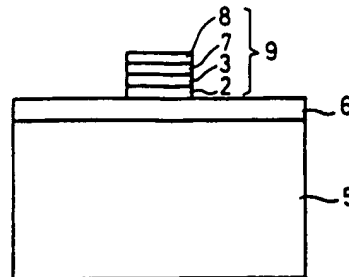
REF IN SERIAL NO. 809.463M

**(54) OHMIC ELECTRODE OF N TYPE III-V GROUP COMPOUND  
SEMICONDUCTOR**

(11) 59-66166 (A) (43) 14.4.1984 (19) JP  
(21) Appl. No. 57-177739 (22) 7.10.1982  
(71) MITSUBISHI DENKI K.K. (72) TAKASHI ISHIHARA  
(51) Int. Cl. H01L29/46

**PURPOSE:** To prevent the breakdown of a junction base on the diffusion of Ag by forming it of a germanium layer, a nickel layer, a titanium layer and a silver layer.

**CONSTITUTION:** When a Ge layer 2, an Ni layer 3, a Ti layer 7 and an Ag layer 8 are sequentially deposited in vacuum on an N type GaAs layer 6 formed on a P type GaAs substrate 5 to form electrodes and then sintered at high temperature, electrodes 9 are obtained. In the electrodes 9 of such structure, the layer 8 is used. Accordingly, diffusion to the layer 6 is less, and a junction breakdown due to diffusion into the semiconductor 1 of Au into the high temperature sintering process can be avoided. The adhesive force of the layer 8 is increased, thereby preventing the layer 8 from diffusing.



**THIS PAGE BLANK (USPTO)**

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—66166

⑬ Int. Cl.<sup>3</sup>  
H 01 L 29:46

識別記号

庁内整理番号  
7638—5 F

⑭ 公開 昭和59年(1984)4月14日

発明の数 1  
審査請求 有

(全 2 頁)

⑮ N形Ⅲ—V族化合物半導体のオーム性電極

機株式会社エル・エス・アイ研  
究所内

⑯ 特 願 昭57—177739

⑰ 出 願 人 三菱電機株式会社

⑱ 出 願 昭57(1982)10月7日

東京都千代田区丸の内2丁目2

⑲ 発 明 者 石原隆

番3号

伊丹市瑞原4丁目1番地三菱電

⑳ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

N形Ⅲ—V族化合物半導体のオーム性電極

2. 特許請求の範囲

ゲルマニウム層、ニッケル層、チタン層および  
銅層よりなることを特徴とするN形Ⅲ—V族化合  
物半導体のオーム性電極。

3. 発明の詳細な説明

この発明は、半導体のオーム性電極の改良に係  
るもので特に良い接合を持つN形Ⅲ—V族化合物  
半導体に通したオーム性電極に関するものである。

従来、N形Ⅲ—V族化合物半導体の電極として  
は、金(Au)—錫(Sn)合金あるいはゲルマニウ  
ム(Ge)—ニッケル(Ni)—金(Au)合金などの  
Au系電極が用いられている。

第1図にGe—Ni—Au合金電極構造を示す。  
この図で、1はN形Ⅲ—V族化合物半導体(以下  
単に半導体という)であり、その表面にGe層2、  
Ni層3、Au層4が順に真空蒸着されている。

上記合金電極を単に半導体1に接合せしめるだ

けではオーム性電極は得られず、高温シンタ処理  
を不活性気体もしくは還元性気体、あるいは真空  
中で行うことによりオーム性電極を得ることがで  
きる。

しかし、上記Au系合金電極では高価であるだ  
けでなく、高温シンタ処理工程において、Auが  
半導体1中に拡散し、良い接合を持つ半導体1の  
場合においては、その拡散の先端は接合部にまで  
および接合の短絡をもたらす。これは半導体1の  
破壊を意味する。

この発明は、上述の欠点を解消するためになさ  
れたもので、Auの代りにⅢ—V族化合物半導体  
への拡散係数の小さいAgを用い、さらにAgと  
Niとの間にTiを蒸着することによりAgの付  
着力を増し、AgのⅢ—V族化合物半導体への拡  
散を防ぐマスクとしての役割を担わせ、高温シン  
タ処理工程における接合破壊を防ぎ、かつオーム  
性電極を形成しようとするものである。以下この  
発明の一実施例を図面について説明する。

第2図は酸化ガリウム(GaAs)ホモ接合太陽電

**THIS PAGE BLANK (USPTO)**

池の製作に、この発明を適用した場合の電極部分を示す断面図である。この図で、P形GaAs基板5上に形成された薄いN形GaAs層6を有するウェハを所期の目的に合致するようにその厚み、大きさの寸法を決め整形する。このN形GaAs層6上にこの発明の方法により、Ge層2-Ni層3-Ti層7-Ag層8を順次真空蒸着する。

この実施例においては、Ge層2-Ni層3-Ti層7-Ag層8からなる電極9は、N形GaAs層6の一部に選択的に形成されているが、これはGe層2-Ni層3-Ti層7-Ag層8の真空蒸着の際、蒸着マスクを用いること、あるいは写真製版技術を用いることにより実現される。電極形成後、例えば450℃で高温シタ処理を行なうと電極9が得られる。電極9の厚さは、Ge層2、Ni層3、Ti層7は例えば数百Å、Ag層8は例えば数千Åである。

このような構造の電極9においては、Ag層8を用いるためN形GaAs層6への拡散は少なく、第1図に示したようなGe-Ni-Au合金電極

において発生したような、高温シタ処理中のAuの半導体1中への拡散による接合破壊は発生しない。また、Ag層8とNi層3の間にTi層7を真空蒸着したことにより、Ag層8の付着力が増し、引つ張り強度の大きい電極9を得ることができ、さらに、Ag層8の拡散を防ぐことができる。

以上この発明の一実施例について説明したが、この発明は、他の任意の基子のN形GaAs層上の電極としても用いることができる。また、さらにN形GaAs層以外の任意のN形Ⅲ-V族化合物半導体にもこの発明は適用でき、上記実施例と同様の効果を得ることが可能である。

以上説明したようにこの発明は、電極材料としてGe-Ni-Ti-Agを用いたので、高温シタ処理することにより強い接合を持つⅢ-V族化合物半導体のN形表面層に対してオーム性となり、かつ付着力の強い電極を得ることができる利点がある。

#### 4. 図面の簡単な説明

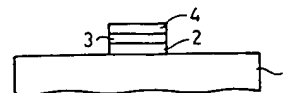
第1図は従来のN形Ⅲ-V族化合物半導体上に

形成されたGe-Ni-Au合金電極を示す断面図、第2図はこの発明の一実施例を示す電極部の断面図である。

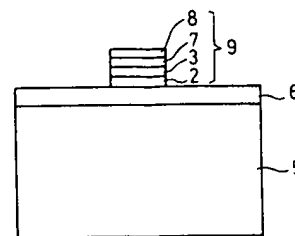
図中、1はN形Ⅲ-V族化合物半導体、2はGe層、3はNi層、5はP形GaAs基板、6はN形GaAs層、7はTi層、8はAg層、9は電極である。なお、図中の同一符号は同一または相当部分を示す。

代理人 島 野 信 一 (外1名)

第 1 図



第 2 図



**THIS PAGE BLANK (USPTO)**